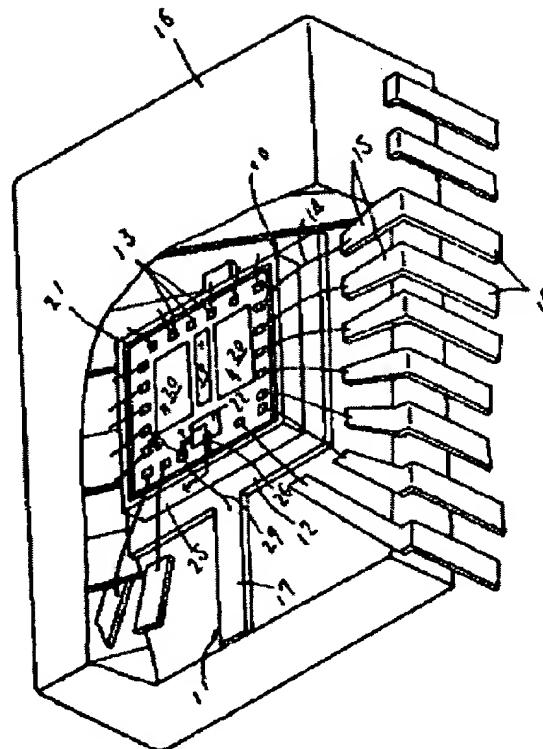


**SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE**

**Patent number:** JP59092558  
**Publication date:** 1984-05-28  
**Inventor:** SHIBATA TAKASHI  
**Applicant:** HITACHI LTD  
**Classification:**  
- **international:** H01L21/88; H01L23/48; H01L27/04  
- **European:** H01L27/02B3B2  
**Application number:** JP19820201960 19821119  
**Priority number(s):** JP19820201960 19821119

**Report a data error here****Abstract of JP59092558**

**PURPOSE:** To exhibit bias effect over the entire region by impressing a substrate bias voltage over a guard ring provided in the periphery of a chip and entire region of the back surface of the chip. **CONSTITUTION:** The semiconductor chip 10 is fixed on a tab 12 of a lead frame 11. Thereby, the chip 10 and the tab 12 are electrically conducted. In the periphery of memory cells 20, electrode pads 13 are arranged, and the guard ring 21 is formed. The output line of a substrate bias generation circuit 22 is connected to the guard ring 21 and the tab 12, and the bias voltage is impressed over the periphery of the chip and the tab 12, i.e., entire region of the back surface of the chip 10.



---

**Data supplied from the esp@cenet database - Worldwide**

⑨ 日本国特許庁 (JP)  
 ⑩ 公開特許公報 (A)

⑪ 特許出願公開  
 昭59-92558

⑤ Int. Cl.<sup>3</sup>  
 H 01 L 27/04  
 21/88  
 23/48

識別記号

厅内整理番号  
 B 8122-5F  
 6810-5F  
 7357-5F

⑬ 公開 昭和59年(1984)5月28日  
 発明の数 1  
 審査請求 未請求

(全 5 頁)

## ⑭ 半導体集積回路装置

⑮ 特 願 昭57-201960  
 ⑯ 出 願 昭57(1982)11月19日  
 ⑰ 発明者 柴田隆嗣

小平市上水本町1450番地株式会社

社日立製作所武藏工場内

⑮ 出願人 株式会社日立製作所  
 東京都千代田区丸の内1丁目5  
 番1号

⑯ 代理人 弁理士 藤田利幸

## 明細書

発明の名称 半導体集積回路装置

特許請求の範囲

- 半導体集積回路を形成した半導体タップ内に基板バイアス電圧発生回路を構成すると共に、この回路から発生される基板バイアス電圧を前記タップの周辺部に設けたガードリングとタップ裏面とに夫々印加するよう構成したことを特徴とする半導体集積回路装置。
- タップをリードフレームのタップ上に固定し、基板バイアス電圧をこのタップに供給してある特許請求の範囲第1項記載の半導体集積回路装置。

発明の詳細な説明

本発明は半導体集積回路装置に關し、特に基板バイアス電圧発生回路を内蔵した半導体ICタップの基板にこのバイアス電圧を有効に加えることができる半導体集積回路装置に關するものである。

熱線ゲート電界効果トランジスタ(以下MISFETと称する)で構成されたモノリシックICにおいては、MISFETのソース領域、ドレイ

ン領域と半導体基板との間に形成されるp-n接合の容量を減少させ回路としての動作速度を大きくさせるため、及びMISFETのしきい値電圧を所望の値に制御するために、半導体基板に対してp-n接合を逆バイアスさせるような極性の基板バイアス電圧、例えば負の極性の基板バイアス電圧を加えることが行なわれる。

このため、第1図に示すように半導体タップ1の一部に、例えば発振回路と整流回路とから構成した基板バイアス電圧発生回路2を形成すると共に、タップ1の裏面周辺部に素子パターンを包围するガードリング3を設け、基板バイアス電圧発生回路2から発生された基板バイアス電圧をこのガードリング3を通してタップ基板4に加えるよう構成している。しかしながら、この構成ではガードリング3近傍では基板バイアス電圧が有効に加えられることになるが、タップ中心部では基板の抵抗(シリコンの持つ抵抗)のため電圧降下が生じ、基板バイアス電圧の効果が不充なものになるという問題がある。

特開昭59-92558 (2)

したがって本発明の目的はチップの周辺部から中心部に向るチップ全域にわたって基板バイアス電圧を略等しく加え、これによりチップ全域において基板バイアス電圧効果を発揮することのできる半導体集積回路装置を提供することにある。

この目的を達成するため本発明はチップ表面周辺部のガードリングおよびチップの裏面に夫々基板バイアス電圧を印加し、これによりチップパターンの全域にわたって略等しく基板バイアス電圧を印加するものである。

以下本発明を図示の実施例により説明する。

第2図は本発明の半導体集積回路装置の一部断面視図であり、特にレジンモールド型のパッケージを備えた装置で例示してある。図において、半導体チップ10はその表面部位に所要の集積回路を形成しており、リードフレーム12のタブ12上に金属ペースト或いはAl-Si共晶等によって固定している。これによって半導体チップ10をタブ12に電気的に導通させている。また、チップ10に設けた複数個の電極パッド13はAl

(3)

で構成されている。また、整流回路24は、例えば出力線L<sub>1</sub>とL<sub>2</sub>との間に接続されたキャッシュC<sub>1</sub>と、エンハンスマントモードのNチャネルMISFETQ<sub>1</sub>およびQ<sub>2</sub>とからなっている。図中G<sub>1</sub>、S<sub>1</sub>およびD<sub>1</sub>は夫々MISFETのゲート、ソースおよびドレインを表わしている。整流回路24の出力端V<sub>BB</sub>は各MISFETの共通の基体ゲートとしての半導体基板SUBに接続されており、一方C<sub>1</sub>は集積回路の接地配線と半導体基板との間の配線容量、ソースが接地されたMISFETのソースと半導体基板との間のp-n接合容量などによって構成される半導体基板SUBと接地点GNDとの間の容量である。

このように構成された基板バイアス電圧発生回路22の出力端V<sub>BB</sub>は、第4図に示すように、チップ10に形成したガードリング21に配線26を通して接続し、ガードリング21を通してチップ10の周辺部に基板バイアス電圧を印加している。図中、25はフィールド酸化膜、27は層間絶縁層であり、チップ10の基板10aをp型に、

又はA<sub>0</sub>のワイヤ14にて夫々インナリード15に接続している。そして、公知のモールド技術によってチップ10、タブ12、ワイヤ14等をレジン材にてモールドし、パッケージ16を構成している。図中17はタブ12と一体のタブリード18はインナリード15と一体のアウタリードである。

前記半導体チップ10は例えばメモリ素子として構成しており、その表面中央部にはデコーダ19を。またこのデコーダ19を挟む両側の大部分にはメモリセル20、20を形成している。そして、メモリセル20、20の周囲には前記電極パッド13を配列すると共に、更にその外周位置にはチップ外周辺に沿って棒状にガードリング21を形成し、かつこのガードリング21の周方向一部には基板バイアス電圧発生回路22を形成している。

前記基板バイアス電圧発生回路22は、第3図に示すように、発振回路23と整流回路24とを備え、発振回路23は奇数個のインバータ回路INV<sub>1</sub>ないしINV<sub>n</sub>からなるリング発振回路によ

(4)

ガードリング21をv型に構成した例を示す。なお、第4図は第3図中の切断面X-Xに沿った断面を示す図である。

一方、前記基板バイアス電圧発生回路22の近傍のチップ表面にはパッド28を設け、このパッド28には前記出力端V<sub>BB</sub>（またはガードリング21）を接続している。そして、このパッド28と前記タブ12と一体のタブリード17とをワイヤ29にて接続し、基板バイアス電圧をタブ12、即ちチップ（基板）10の裏面全域に加え得るようしている。

以上の構成によれば、基板バイアス発生回路では電源端子V<sub>DD</sub>に供給される正の電源電圧によって発振回路23は発振動作をする。出力線L<sub>1</sub>に由来する出力される発振信号は、各インバータ回路INV<sub>1</sub>、-INV<sub>n</sub>の遅延特性によって決った周波数となり、接地端子の0ボルトとほぼ電源端子V<sub>DD</sub>の電源電圧に連するレベル強度を持つ。発振回路23の出力線L<sub>1</sub>がほぼ電源電圧の正電位であるとき、MISFETQ<sub>1</sub>は、キャッシュC<sub>1</sub>を介してそ

(5)

-274-

(6)

特開昭59-92558 (3)

のドレインDに正の電圧を受けオン状態となる。キャパシタC<sub>1</sub>はほぼ出力線L<sub>1</sub>の正電位からMOSFETQ<sub>1</sub>のしきい値電圧を引いた値まで充電される。出力線L<sub>1</sub>の電位が絶対0Vになると、線L<sub>2</sub>の電位はキャパシタC<sub>1</sub>の充電電圧によって負電位とされる。線L<sub>2</sub>の負電位によってMOSFETQ<sub>2</sub>がオン状態となる。その結果、線V<sub>BB</sub>に結合しているコンデンサC<sub>2</sub>は線L<sub>2</sub>の負電位によって充電されるようになる。発振回路23の発振信号の1周期に一回ずつ上記のような充電が行なわれることにより、コンデンサC<sub>2</sub>には正の電源電圧に対応した負の基板バイアス電圧が発生される。

そしてこの基板バイアス電圧が出力線V<sub>BB</sub>からガードリング21およびタブ12に供給され、これらから天ヶチャップ10の周辺部、裏面に印加される。このため、第5図(A)に示すガードリング21によるチャップ基板の基板バイアス電圧V<sub>BB</sub>による基板の実際の電位V<sub>sub</sub>と、同図(B)に示すタブ12によるチャップ基板の基板バイアス電圧V<sub>BB</sub>による

(7)

てもタブの代りにセラミックベースのメタライズ層を利用することにより同様の効果を得ることができる。

以上のように本発明の半導体集積回路装置によれば、チャップの周辺部に設けたガードリングと、チャップの裏面全域の天ヶに基板バイアス電圧を印加しているので、チャップの周辺から中心にわたるチャップ全域に略等しく基板バイアス電圧を印加することができるので、基板バイアス電圧の効果をチャップ全域において発揮することができるのである。

#### 図面の簡単な説明

第1図は従来装置の平面図。

第2図は本発明装置の破断斜視図。

第3図は基板バイアス電圧発生回路の回路図。

第4図は第2図のIV-IV線断面図。

第5図(A)～(D)は本発明の作用効果を説明するための電圧分布等高線図である。

10…チャップ、11…リードフレーム、12…タブ、15…インナリード、16…パッケージ。

(8)

基板の実際の電位V<sub>sub</sub>とが相乗することにより、チャップ基板全体の基板バイアス電圧V<sub>BB</sub>による実際の基板の電位V<sub>sub</sub>の分布は同図(C)のようになります。チャップ全域にわたって略等しい状態となる。即ち、ガードリング21のみでは同図(A)のように基板抵抗によって中心部の電位が高くなり、またチャップ裏面からの印加のみでは同図(B)のように基板の厚さ方向の抵抗によって電子のされる基板裏面部の電位が全体的に高くなっていたものが、本例のようにガードリング21とタブ12の両方から基板バイアス電圧を印加することによって前述したよう従来の電圧不均一の問題を解消することができる。これにより、チャップの全域に渡ってその実際の電位V<sub>sub</sub>を略基板バイアス電圧に等しくでき、基板バイアス電圧の効果を十分に発揮させることができる。特に、チャップが大サイズの場合や厚さの大きい場合にその効果は著しい。

ここで、前記実施例は一例にすぎず、ガードリングの形状や断面構造は適宜変更することができる。またセラミックパッケージ型の半導体装置において

(9)

17…タブリード、18…アクタリード、21…ガードリング、22…基板バイアス電圧発生回路、28…パッド、29…ワイヤ。

代理士弁護士薄田利



(10)

特開昭58-92656 (4)

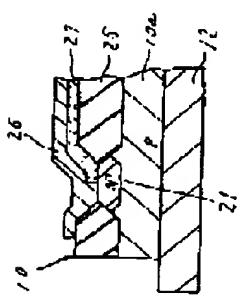


図 4

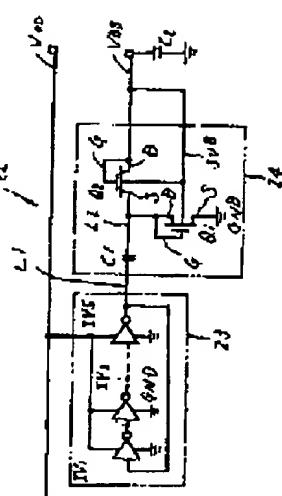


図 3

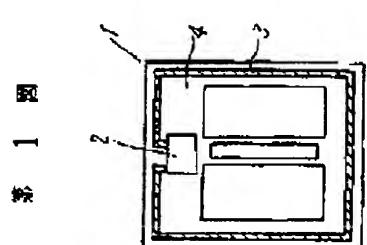


図 1

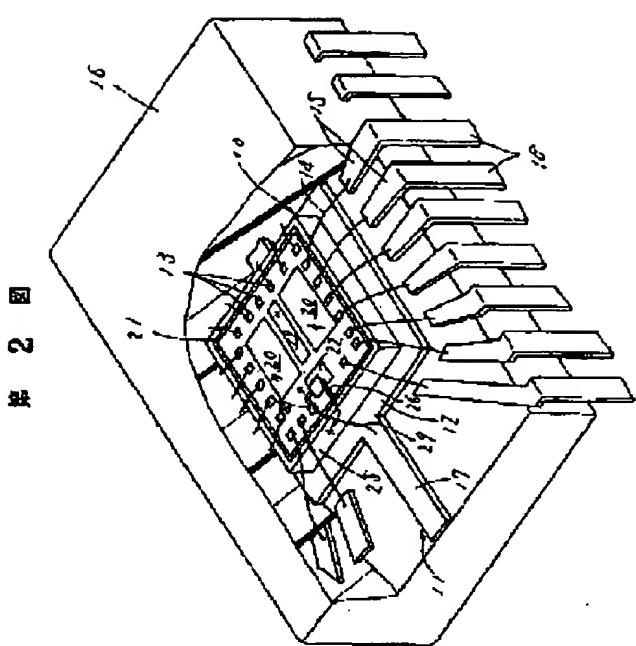
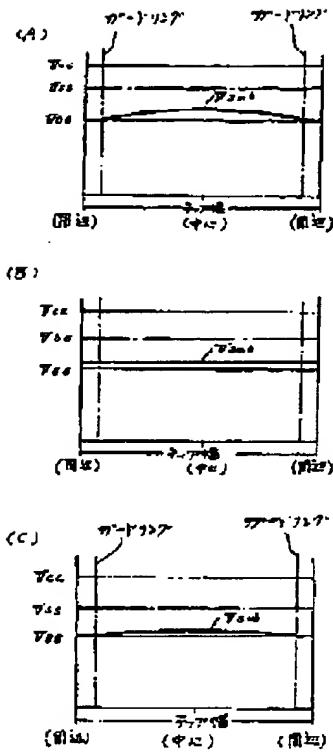


図 2

第 5 図



BEST AVAILABLE COPY